

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

14574452

Basic Patent (No,Kind,Date): CA 2249592 AA 19980730 <No. of Patents: 011>

ACTIVE MATRIX ELECTROLUMINESCENT DISPLAY DEVICE AND A
DRIVING METHOD THEREOF (English; French)

Patent Assignee: CASIO COMPUTER CO LTD (JP)

Author (Inventor): YAMADA HIROYASU (JP); SHIOYA MASA HARU (JP)

IPC: *G09G-003/30; G09G-003/32; G09F-009/33

Derwent WPI Acc No: *G 98-428186;

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
CA 2249592	AA	19980730	CA 2249592	A	19980127 (BASIC)
CN 1216135	A	19990505	CN 98800067	A	19980127
CN 1216135	T	19990505	CN 98800067	A	19980127
EP 906609	A1	19990407	EP 98900761	A	19980127
JP 10214060	A2	19980811	JP 9727323	A	19970128
JP 10232649	A2	19980902	JP 9752543	A	19970221
JP 10319909	A2	19981204	JP 97148719	A	19970522
JP 10333641	A2	19981218	JP 97154320	A	19970529
US 5990629	A	19991123	US 13708	A	19980126
WO 9833165	A1	19980730	WO 98JP327	A	19980127
TW 441136	B	20010616	TW 87101059	A	19980126

Priority Data (No,Kind,Date):

JP 9727323 A 19970128
JP 9752543 A 19970221
JP 97148719 A 19970522
JP 97154320 A 19970529
WO 98JP327 W 19980127

BEST AVAILABLE COPY

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

05949549 **Image available**

ELECTRIC FIELD LUMINESCENT DISPLAY DEVICE AND DRIVING METHOD THEREFOR

PUB. NO.: **10-232649** [JP 10232649 A]

PUBLISHED: September 02, 1998 (19980902)

INVENTOR(s): YAMADA HIROYASU
 SHIOTANI MASAHARU

APPLICANT(s): CASIO COMPUT CO LTD [350750] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 09-052543 [JP 9752543]

FILED: February 21, 1997 (19970221)

INTL CLASS: [6] G09G-003/30

JAPIO CLASS: 44.9 (COMMUNICATION -- Other)

JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors)

ABSTRACT

PROBLEM TO BE SOLVED: To provide the driving method of an electric field luminescent display device capable of performing a tone display having satisfactory control property and capable of performing an operation of lower power consumption.

SOLUTION: One frame period of an electric field luminescent display device in which electric field light emitting elements are arranged in a matrix shape and selection transistors and driving transistors are connected to these electric field light emitting elements is divided into eight subframes. These subframes are consisting of light emission setting times T_{on} and address periods T_{add} being the same times in all subframes and different light emission driving voltages or driving currents are set so as to be impressed in respective subframes. Since, a tone level for every pixel is made different according to in which subframe among the eight subframes the pixel is selected, a tone expression is made possible.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-232649

(43) 公開日 平成10年(1998) 9月2日

(51) Int.Cl.⁶

識別記号

F I

G 0 9 G 3/30

G 0 9 G 3/30

K

審査請求 未請求 請求項の数15 F D (全 11 頁)

(21) 出願番号 特願平9-52543

(22) 出願日 平成9年(1997) 2月21日

(71) 出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72) 発明者 山田 裕康

東京都青梅市今井3丁目10番地6 カシオ
計算機株式会社青梅事業所内

(72) 発明者 塩谷 雅治

東京都青梅市今井3丁目10番地6 カシオ
計算機株式会社青梅事業所内

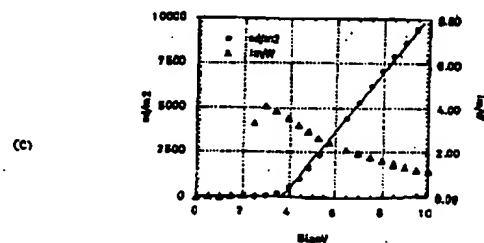
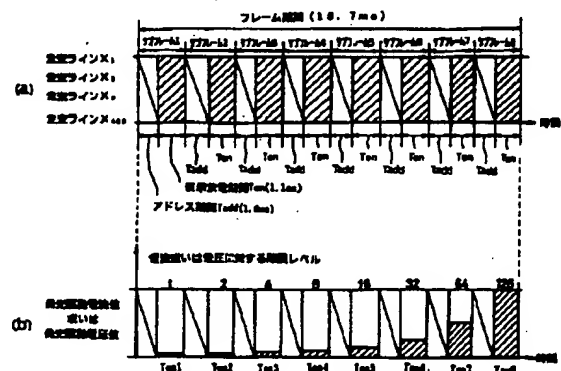
(74) 代理人 弁理士 杉村 次郎

(54) 【発明の名称】 電界発光表示装置およびその駆動方法

(57) 【要約】 (修正有)

【課題】 制御性の良い階調表示が行え、低消費電力動作が可能な電界発光表示装置の駆動方法を提供する。

【解決手段】 電界発光素子がマトリクス状に配置され、この電界発光素子の選択トランジスタと駆動トランジスタとが接続された電界発光表示装置の1フレーム期間を8つのサブフレームに分割する。これらサブフレームは、発光設定時間 T_{on} と、全サブフレームで同一時間のアドレス期間 T_{add} と、からなり、それぞれのサブフレームで異なる発光駆動電圧或いは駆動電流が印加されるように設定されている。このため、8つのサブフレームのそれぞれで、画素が選択されたか選択されないかにより、画素毎の階調レベルを異にすることができ、階調表現が可能となる。



【特許請求の範囲】

【請求項1】 それぞれ一对の電極を有し、且つ電圧又は電流の印加に応じて発光する複数の電界発光素子と、1フレーム期間内に順次配置された複数のアドレス期間に、前記複数の電界発光素子から任意の電界発光素子を選択すると共に、それぞれの前記アドレス期間の後に設定された発光設定期間に、当該アドレス期間に選択された前記電界発光素子の前記一方の電極に、所定電圧値のコモン電圧を印加する第1スイッチング回路と、前記各電界発光素子の前記一对の電極の他方の電極にそれぞれ接続され、前記各発光設定期間に、互いに異なる値の電圧に設定された複数の駆動電圧或いは互いに異なる値の電流に設定された駆動電流を、前記全電界発光素子に印加する第2スイッチング回路と、を具備することを特徴とする電界発光表示装置。

【請求項2】 前記電界発光素子はマトリクス状に配列され、1フレーム期間は、前記複数のアドレス期間と、各アドレス期間にそれぞれ対応し且つ互いに同じ長さの時間に設定された前記複数の発光設定期間と、からなり、前記アドレス期間と前記発光設定期間とが交互に配置されたことを特徴とする請求項1記載の電界発光表示装置。

【請求項3】 前記第1スイッチング回路は、走査電圧が供給される走査ラインにゲート電極が接続され且つ信号電圧が供給される信号ラインにドレイン電極が接続された選択トランジスタと、ゲート電極が前記選択トランジスタのソース電極に接続され、且つドレイン電極が前記電界発光素子に接続されると共に、ソース電極が、コモン電源または可変駆動電源に接続された駆動トランジスタと、を備えることを特徴とする請求項1または請求項2に記載の電界発光表示装置。

【請求項4】 前記第2スイッチング回路は、走査電圧が供給される走査ラインにゲート電極が接続され且つ信号電圧が供給される信号ラインにドレイン電極が接続された選択トランジスタと、ゲート電極が前記選択トランジスタのソース電極に接続され、且つドレイン電極が前記電界発光素子に接続されると共に、ソース電極が、コモン電源または可変駆動電源に接続された駆動トランジスタと、を備えることを特徴とする請求項1または請求項2に記載の電界発光表示装置。

【請求項5】 前記走査電圧および前記信号電圧は、それぞれの特性に応じたオン/オフの2値信号であることを特徴とする請求項3または請求項4に記載の電界発光表示装置。

【請求項6】 前記1フレーム期間内の各発光設定期間の駆動電圧或いは駆動電流の大きさの比率は、それぞれ2の n 乗（ n は0以上の整数）のいずれかであることを特徴とする請求項1～請求項5のいずれかに記載の電界発光表示装置。

【請求項7】 前記コモン電圧は、接地電圧であること

を特徴とする請求項1～請求項6に記載の電界発光表示装置。

【請求項8】 電圧又は電流の印加に応じて発光する複数の電界発光素子を有する電界発光表示装置の駆動方法において、1フレーム期間が、それぞれ任意の前記電界発光素子を選択する、複数のアドレス期間を備え、且つ前記各アドレス期間で選択された前記電界発光素子に、それぞれのアドレス期間の後に発光設定期間が設定されると共に、前記各アドレス期間で選択された前記電界発光素子に、1フレーム期間内のそれぞれの発光設定期間どうして互いに異なる値の駆動電圧或いは互いに異なる値の駆動電流を供給することを特徴とする電界発光表示装置の駆動方法。

【請求項9】 前記複数の電界発光素子は、それぞれ一对の電極を有し、

1フレーム期間内に順次配置された複数のアドレス期間に、前記複数の電界発光素子から任意の電界発光素子を選択すると共に、それぞれの前記アドレス期間の後に設定された発光設定期間に、当該アドレス期間に選択された前記電界発光素子の前記一方の電極に、所定電圧値のコモン電圧を印加する第1スイッチング回路と、前記各電界発光素子の前記一对の電極の他方の電極にそれぞれ接続され、前記各発光設定期間に、互いに異なる値の電圧に設定された複数の駆動電圧或いは互いに異なる値の電流に設定された駆動電流を、前記全電界発光素子に印加する第2スイッチング回路と、を具備することを特徴とする請求項8記載の電界発光表示装置の駆動方法。

【請求項10】 前記第1スイッチング回路は、走査電圧が供給される走査ラインにゲート電極が接続され且つ信号電圧が供給される信号ラインにドレイン電極が接続された選択トランジスタと、ゲート電極が前記選択トランジスタのソース電極に接続され、且つドレイン電極が前記電界発光素子に接続されると共に、ソース電極が、コモン電源または可変駆動電源に接続された駆動トランジスタと、を備えることを特徴とする請求項9記載の電界発光表示装置の駆動方法。

【請求項11】 前記第2スイッチング回路は、走査電圧が供給される走査ラインにゲート電極が接続され且つ信号電圧が供給される信号ラインにドレイン電極が接続された選択トランジスタと、ゲート電極が前記選択トランジスタのソース電極に接続され、且つドレイン電極が前記電界発光素子に接続されると共に、ソース電極が、コモン電源または可変駆動電源に接続された駆動トランジスタと、を備えることを特徴とする請求項9記載の電界発光表示装置の駆動方法。

【請求項12】 前記走査電圧および前記信号電圧それぞれの特性に応じたオン/オフの2値信号が入力されることを特徴とする請求項10または請求項11に記載の電界発光表示装置の駆動方法。

【請求項13】 前記電界発光素子はマトリクス状に配列され、前記1フレーム期間は、前記アドレス期間と発光設定期間とが交互に設定されることを特徴とする請求項8～請求項12のいずれかに記載の電界発光表示装置の駆動方法。

【請求項14】 前記各発光設定期間に印加される駆動電圧又は駆動電流の大きさの比率は、それぞれ2の n 乗（ n は0以上の整数）のいずれかであることを特徴とする請求項8～請求項13のいずれかに記載の電界発光表示装置の駆動方法。

【請求項15】 前記コモン電圧は、接地電圧であることを特徴とする請求項9～請求項14に記載の電界発光表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は電界発光表示装置およびその駆動方法に関し、さらに詳しくは、エレクトロルミネッセンス発光を行う表示装置の駆動方法に関する。

【0002】

【従来の技術】 従来、図9に示すような、1画素に2つの薄膜トランジスタ（以下、TFTという）を備えた構造の有機ELディスプレイ（電界発光表示装置）がある。この有機ELディスプレイにおいては、選択TFT3が走査ライン X_m からのスキヤで選択に同期して、有機EL素子1の発光輝度データに応じた階調信号が信号ライン Y_n から供給されるようになっている。選択TFT3は、この階調信号に応じて駆動TFT2のゲートバイアスを制御し、駆動TFT2は、このゲートバイアスに応じて有機EL素子1に注入するキャリア（電子或いは正孔）の量を制御し、所定の階調輝度で発光する。図10は、このように書き込まれた駆動TFT2の、ゲート電圧（ V_g ）とチャネル抵抗との関係、所謂電界効果トランジスタ（FET）の静特性を示すグラフである。図11は、1画素における有機EL素子1と電圧制御手段 V_c と全面素共通EL電源4との関係を示す等価回路図である。この電圧制御手段 V_c は、選択トランジスタ3と駆動トランジスタ2とから構成されている。

【0003】

【発明が解決しようとする課題】 上記した従来の1画素2セルTFT構造の有機ELディスプレイでは、駆動TFT2のゲートバイアスの変化によってチャネルに流れる電流を変えることにより、画素ELの発光輝度を変化させることで階調を表現している。すなわち、有機EL素子1の発光輝度は、信号ライン Y_n に供給される階調信号と、駆動TFT2及び選択TFT3の電気的特性に依存している。このため、たとえば256階調を実現しようすると、パネル内の各画素の駆動TFT2の線形領域での特性バラツキが256階調の制御に要求される範囲内になければならず、そのような均一な特性のTFT

Tパネルの製造は実現が困難であるという問題がある。

【0004】 この発明が解決しようとする課題は、制御性のよい階調表示が行えると共に、低消費電力動作が可能な電界発光表示装置の駆動方法を得るにはどのような手段を講じればよいかという点にある。

【0005】

【課題を解決するための手段】 請求項1記載の発明は、電界発光表示装置であって、それぞれ一對の電極を有し、且つ電圧の印加に応じて発光する複数の電界発光素子と、1フレーム期間内に順次配置された複数のアドレス期間に、前記複数の電界発光素子から任意の電界発光素子を選択すると共に、それぞれの前記アドレス期間の後に設定された発光設定期間に、当該アドレス期間に選択された前記電界発光素子の前記一方の電極に、接地電圧、或いは互いに異なる値の電圧に設定された複数の駆動電圧のうちのいずれか、の一方を印加する第1スイッチング回路と、前記各電界発光素子の前記一對の電極の他方の電極にそれぞれ接続され、前記各発光設定期間に、前記接地電圧、或いは互いに異なる値の電圧に設定された複数の駆動電圧のうちのいずれか、の他方を、前記全電界発光素子に印加する第2スイッチング回路と、を具備することを特徴としている。

【0006】 請求項1記載の発明では、各アドレス期間に発光すべき電界発光素子を予め選択して、対応する各発光設定期間に、選択された電界発光素子の一方の電極に、所定電圧値のコモン電圧を印加し、全電界発光素子の一對の電極の他方に、互いに異なる値の電圧に設定された複数の駆動電圧又は互いに異なる値の電流に設定された駆動電流のいずれかを印加すれば、選択された電界発光素子のみが各発光設定期間に発光することができる。したがって、複数の発光設定期間中に選択的に電界発光素子を発光することにより、言い換えれば、1フレーム期間内での総発光設定期間での総発光量に応じて、各電界発光素子の見かけ上の発光輝度を制御することができる。

【0007】 請求項2記載の発明は、前記電界発光素子がマトリクス状に配列され、1フレーム期間が、前記複数のアドレス期間と、各アドレス期間にそれぞれ対応し且つ互いに同じ長さの時間に設定された前記複数の発光設定期間と、からなり、前記アドレス期間と前記発光設定期間とが交互に配置されたことを特徴としている。請求項2記載の発明では、発光設定期間を一定としたので、発光設定期間と印加電圧又は印加電流との積によるそれぞれの発光輝度を組み合わせることで多くの輝度階調数の発光を実現することができる。

【0008】 請求項3、4記載の発明はそれぞれ、第1スイッチング回路、第2スイッチング回路が、走査電圧が供給される走査ラインにゲート電極が接続され且つ信号電圧が供給される信号ラインにドレイン電極が接続された選択トランジスタと、ゲート電極が前記選択トラン

ジスタのソース電極に接続され、且つドレイン電極が前記電界発光素子に接続されると共に、ソース電極が、コモン電源または可変駆動電源に接続された駆動トランジスタと、を備えることを特徴としている。これらの発明では、アドレス期間に選択された電界発光素子に、発光設定期間中に容易にコモン電圧を印加できるようチャージできる。

【0009】請求項5記載の発明は、前記走査電圧および前記信号電圧が、それぞれの特性に応じたオン/オフの2値信号であることを特徴としている。

【0010】請求項5記載の発明では、走査電圧および信号電圧がオン/オフの2値信号で制御できるので、選択トランジスタおよび駆動トランジスタのV-I特性に多少のばらつきがあっても、飽和電流領域の電圧を印加すれば、良好に輝度階調を制御することができる。

【0011】請求項6記載の発明は、1フレーム期間内の各発光設定期間の駆動電圧或いは駆動電流の大きさの比率は、それぞれ2のn乗（nは0以上の整数）のいずれかであることを特徴としている。請求項6記載の発明では、駆動電圧或いは駆動電流の大きさの比率が、それぞれ2のn乗としているので、異なる電圧値の数を最小限にして良好な階調発光を実現することができる。

【0012】請求項8記載の発明は、電圧又は電流の印加に応じて発光する複数の電界発光素子を有する電界発光表示装置の駆動方法において、1フレーム期間が、それぞれ任意の前記電界発光素子を選択する、複数のアドレス期間を備え、且つ前記各アドレス期間で選択された前記電界発光素子に、それぞれのアドレス期間の後に発光設定期間が設定されると共に、前記各アドレス期間で選択された前記電界発光素子に、1フレーム期間内のそれぞれの発光設定期間どうして互いに異なる値の駆動電圧或いは互いに異なる値の駆動電流を供給することを特徴としている。

【0013】請求項8記載の発明では、各アドレス期間に、次の発光設定期間に発光すべき電界発光素子を予め選択して、発光設定期間に発光させるが、各発光設定期間での印加電圧または印加電流の値が異なるので、それぞれの画素での総発光量が、階調に応じるように発光設定期間を選択すれば少ない段階の電圧値の変化にもかかわらず、1フレーム期間全体では多くの輝度階調数の発光を実現することができる。

【0014】

【発明の実施の形態】以下、この発明に係る電界発光表示装置の駆動方法の詳細を図面に示す実施形態に基づいて説明する。なお、駆動方法の説明に先駆けて、電界発光表示装置の構成について説明する。図1は本実施形態に係る電界発光表示装置の駆動回路図である。同図に示すように、電界発光素子としての有機EL素子101が、X-Yマトリクス状に配置されたそれぞれの画素領域に形成されている。これらの画素領域は、複数の走査

ラインXと複数の信号ラインYとがそれぞれ交差する部分に形成されている。1つの画素領域には、走査ラインXおよび信号ラインYに接続された選択トランジスタQ₁と、この選択トランジスタQ₁に接続されたキャパシタC_{p1}及びゲートが接続された駆動トランジスタQ₂とが設けられている。この駆動トランジスタQ₂は、有機EL素子101の一方の電極（図ではカソード電極）に接続されている。そして、選択トランジスタQ₁が走査ラインXからの選択信号により選択され、且つ信号ラインYより駆動信号が出力されると駆動トランジスタQ₂がオン状態になるように設定されている。この選択信号及び駆動信号は、ON/OFFの2値信号である。なお、駆動トランジスタQ₂は、オフ状態では有機EL素子101に比べて充分高抵抗で、オン状態では有機EL素子101に比べて無視できるほど充分低抵抗となるようにその特性が設定されている。

【0015】図2は、この電界発光表示装置の1画素部分の等価回路図である。同図に示すスイッチS₁は有機EL素子101の一方の電極に接続されており、このスイッチS₁の閉じている状態で、有機EL素子101の発光が可能となる。また、スイッチS₂は、有機EL素子101の他方の電極側に接続されており、全面素に共通に用いられるとともに、後記するサブフレーム期間内の発光時間および発光駆動電圧或いは発光駆動電流（各サブフレーム期間に固有の値の電圧或いは電流）に従って全面素を同時にオン/オフし得ようになっている。なお、図2中P_sは各サブフレーム期間に固有の値の電圧値或いは電流値を可変的に出力するように制御された可変駆動電源を示している。

【0016】ここで、本実施形態における電界発光表示装置の更に具体的な構成を、図3および図4を用いて説明する。図3は、本実施形態における電界発光表示装置の1画素部分を示す平面図である。図4は、図3のA-A断面図である。図中100は電界発光表示装置を示している。

【0017】本実施形態の電界発光表示装置100は、ガラス或いは樹脂フィルムからなる基板102の上に例えばアルミニウム（Al）でなるゲート金属膜がパターンニングされてなる、所定方向（X方向）に沿って平行かつ等間隔をなす複数の走査ライン103と、この走査ライン103に一体的な、選択トランジスタQ₁のゲート電極103Aと、駆動トランジスタQ₂のゲート電極103Bと、が形成されている。なお、これらゲート電極103A、103Bおよび走査ライン103の表面には、陽極酸化膜104が形成されている。また、これら走査ライン103、ゲート電極103A、103Bおよび基板102の上には、窒化シリコンでなるゲート絶縁膜105が形成されている。さらに、ゲート電極103A、103Bの上方のゲート絶縁膜105A、105Bの上には、アモルファスシリコン（a-Si）でなる半

導体層106A、106Bがパターン形成されている。また、それぞれの半導体層106A、106Bの中央には、チャネル幅方向に沿って形成されたブロッキング層107A、107Bが形成されている。そして、半導体層106Aの上には、ブロッキング層107A上でソース側とドレイン側とに分離されたオーミック層108A、108Bが形成されている。さらに、選択トランジスタ Q_1 においては、ドレイン側のオーミック層108Aに積層されて接続する信号ライン109Aと、ソース側のオーミック層108Bに積層されて接続するソース電極109Bとが形成されている。このソース電極109Bは、図3に示すように、駆動トランジスタ Q_2 のゲート電極103Bに対して、ゲート絶縁膜105に開口したコンタクトホール110を介して接続されている。駆動トランジスタ Q_2 においては、ソース側のオーミック層108Bに積層されて接続するGND線111と、一端がドレイン側のオーミック層108Bに積層されて接続し、且つ他端が有機EL素子101の後記するカソード電極114に接続するドレイン電極112が形成されている。これら選択トランジスタ Q_1 と駆動トランジスタ Q_2 は、図2に示したスイッチ S_1 を構成している。また、ゲート電極103Bとゲート絶縁膜105とGND線とでキャパシタ C_p1 が構成される。

【0018】次に、有機EL素子101の構成を説明する。まず、上記した選択トランジスタ Q_1 、駆動トランジスタ Q_2 およびゲート絶縁膜105の上に、電界発光表示装置100の発光表示領域全域に亘って、層間絶縁膜113が堆積されている。そして、上記した駆動トランジスタ Q_2 のドレイン電極112の端部上の層間絶縁膜113にコンタクトホール113Aが形成されている。なお、本実施形態では、駆動トランジスタ Q_2 のドレイン電極112の端部は、1画素領域の略中央に位置するように設定されている。そして、層間絶縁膜113の上に、可視光に対し反射性を示す、例えばMgInとなるカソード電極114が略1画素領域全域に亘って矩形状に形成されている。すなわち、カソード電極114は、相隣接する信号ライン109A、109Aと相隣接する走査ライン103、103とで囲まれる領域（1画素領域）を略覆うように形成されている。このため、選択トランジスタ Q_1 と駆動トランジスタ Q_2 とは、カソード電極114で全面的に覆われている。

【0019】さらに、図4に示すように、各画素毎にパターン形成されたカソード電極114、および層間絶縁膜113の上に、有機EL層115が発光表示領域全域に亘って形成されている。さらに、有機EL層115の上には、透明なITOとなるアノード電極116が全有機EL素子101の発光表示領域全域に亘って形成されている。また、各有機EL素子101のアノード電極116は、スイッチ S_2 を介してそれぞれ異なる値に設定された駆動電圧 $V_{dd1} \sim V_{ddn}$ 或いは駆動電流 $I_{dd1} \sim I_{ddn}$

1～ I_{ddn} を供給する可変駆動電源Psに接続されている。

【0020】ここで、上記した構成の電界発光表示装置100の作用について説明する。本実施形態においては、カソード電極114が、相隣接する信号ライン109A、109Aと相隣接する走査ライン103、103とで囲まれる領域（1画素領域）を略覆うように形成されているため、有機EL素子101は1画素領域の略全域に亘って発光を行うことができる。また、カソード電極114が光反射性を有するMgInで形成されているため、カソード電極114とアノード電極116との間に駆動電圧或いは駆動電流が印加された場合に、有機EL層115で発生した表示光は、下方（ガラス基板102側）に漏れることなくアノード電極116側に出射される。このため、選択トランジスタ Q_1 および駆動トランジスタ Q_2 の半導体層106A、106Bへ不要に光が入射するのを防止することができ、各トランジスタの光起電力による誤動作が生じるのを回避することができる。また、表示光は、透明なアノード電極116側から出射されるため、ガラス基板102などにより光吸収されることがなく、輝度の高い状態で出射される。

【0021】次に、本実施形態の電界発光表示装置100の駆動回路系を説明する。図2の等価回路図が示すように、有機EL素子101とスイッチ S_1 、 S_2 と可変駆動電源Psとから1画素部分のEL表示回路が構成されている。また、上記したように、第1スイッチング回路としてのスイッチ S_1 は、選択トランジスタ Q_1 と駆動トランジスタ Q_2 とから構成され、有機EL素子101に選択的に接地電圧（コモン電圧）を供給（出力）することができる。有機EL素子101においては、アノード電極側に正極性の互いに異なる電圧値の駆動電圧 $V_{dd1} \sim V_{ddn}$ 或いは駆動電流 $I_{dd1} \sim I_{ddn}$ を供給する可変駆動電源Psが第2スイッチング回路としてのスイッチ S_2 を介して接続され、カソード電極側にスイッチ S_1 が接続され、スイッチ S_1 を構成する駆動トランジスタ Q_2 のソース電極側は図1に示すようにGND線111を介して接地されている。

【0022】以下、本実施形態の電界発光表示装置100の駆動方法について説明する。まず、本実施形態は、電界発光表示装置100における走査ライン103の本数を例えば480本、信号ライン109Aの本数を例えば640本に設定する。そして、本実施形態では図5

(a)、(b)に示すような階調表示方式を用いる。同図(a)のように、1フレーム期間（1画面の表示を保持する期間）が16.7msとして、1フレーム期間を8つのサブフレーム期間（サブフレーム1～8）に分割する。各サブフレーム期間は、2.1msであり、アドレス書き込みを行うためのアドレス期間 T_{add} （1.0ms）とそれぞれのサブフレーム期間固有の値の駆動電圧或いは駆動電流を印加する発光設定期間 T_{on} （1.

1 ms) とからなる。有機EL素子101は、図5(c)に示すように印加される電圧に対して発光輝度(cd/m^2)が直線性を示しており、発光輝度の比は発光駆動電圧値の比或いは発光駆動電流値の比に比例する。各サブフレーム期間に固有の発光駆動電圧の比率或いは駆動電流の比率は、サブフレーム1で1とすると、サブフレーム2は2、サブフレーム3は4、サブフレーム4は8、サブフレーム5は16、サブフレーム6は32、サブフレーム7は64、サブフレーム8は128となる。このような発光設定期間において、1の発光設定期間で1という輝度を表示するとすると、サブフレーム1のみを点灯することで1の輝度が得られる。輝度2のときはサブフレーム2のみを、輝度3のときはサブフレーム1とサブフレーム2を、4のときはサブフレーム3のみを点灯するというように、以下同様にして組み合わせにより合計256の階調を表示することが可能となる。

【0023】各サブフレームにおいては、アドレス期間Taddにアドレス書き込みが終了した後に発光設定期間Tonの間アドレス選択された電界発光素子101にこの発光設定期間に固有の値の電圧或いは駆動電流を同時に印加させる。その次のサブフレームではアドレス期間Tadd中にアドレス書き換えを行って発光設定期間Tonにアドレス選択された電界発光素子101にこの発光設定期間に固有の値の電圧或いは電流を同時に印加させる。このようにサブフレーム1からサブフレーム8まで1フレーム期間内に行う。アドレス選択のタイミングは、図2に示したスイッチS₁で制御し、駆動電圧駆動電流供給のタイミングはスイッチS₂で制御することができる。すなわち、1つのサブフレーム期間内において、走査ラインと信号ラインとの線順次走査により、このサブフレーム特有の発光量で点灯すべき画素の選択トランジスタQ₁がオン状態となる。そして、選択トランジスタQ₁がオンになると信号ラインから選択トランジスタQ₁を介して駆動トランジスタQ₂のゲート電極への書き込みが行われ、アドレス期間Tadd内においては駆動トランジスタQ₂にチャネルが形成された状態が保持される。このアドレス期間で点灯すべき画素がすべて選択された後、すなわちアドレス期間Tadd終了後の発光設定期間Tonまで選択状態が保持される。発光設定期間Ton中には、アノード電極116に接続されたそれぞれの発光設定期間Tonに固有の値に設定された駆動電圧或いは駆動電流を供給する可変駆動電源PsがスイッチS₂でオンされる。この発光設定期間での駆動電圧或いは駆動電流の値は、上記したようにそれぞれのサブフレームでその高さ設定されている。ここで、1フレーム期間中の全アドレス期間Taddの時間の長ささと全発光設定期間Tonの時間の長さを等しくすると、各アドレス期間Taddは、1.04ms程度となり、各走査ラインX1~X480の1発光設定期間で選択される

時間は、2.1 μ s程度となる。

【0024】次に、本実施形態の駆動方法で階調表示が行える原理を図6を用いて説明する。この図は、簡略化するために、1フレーム期間を3つのサブフレームに分割した例であり、サブフレーム1の発光設定期間の発光量は1、サブフレーム2の発光量は2、サブフレーム3の発光量は4とした。図6は、網状の斜線を付した部分の画素13、22、24、31、35、42、44、53の輝度が高くなるように表示された例を示している。具体的には、サブフレーム1で全画素が選択されて輝度1の発光を行ったとすると、サブフレーム2、3では線順次走査により画素13、22、24、31、35、42、44、53のみが選択され、発光量2と発光量4が加算されたと設定する。このため、3つのサブフレームが終了した(1フレーム期間が終了した)状態では、画素13、22、24、31、35、42、44、53が発光量7となり、他の画素が発光量1であるのと比較して高輝度となる。このように、1フレーム期間を複数のサブフレームに分割したことにより、電界発光表示装置100の階調表示が可能となる。このような原理は、1フレーム期間を8つのサブフレームに分割した場合でも同様に適用できるものであり、256階調の表現も可能となる。

【0025】上記したように、本実施形態によれば、駆動電圧Vdd1~Vddn或いは駆動電流Idd1~Iddnのスイッチングに、オン/オフの2値信号で制御するスイッチS₂を用い、且つ選択トランジスタQ₁と駆動トランジスタQ₂にもオン/オフの2値信号をいずれかを選択的に出力するため、図9のソース・ドレイン間電圧VSDをソース・ドレイン間電流が飽和電流になる範囲に設定するので、各トランジスタの電圧VSDの1V~5V間でのV-I特性に多少のばらつきがあっても、良好に輝度階調を制御することができ、安定した階調制御を行うことが可能となる。このように、1つの有機EL素子に対し選択トランジスタQ₁、駆動トランジスタQ₂、スイッチS₂の3つのスイッチング素子が構成している場合、それぞれのわずかな電気的特性のずれが相乗され、1つの画素として大きく輝度階調がずれてしまう恐れがあるが、選択トランジスタQ₁や駆動トランジスタQ₂およびスイッチS₂は、飽和電流領域での電圧値を用いオン/オフ制御を行うだけであるため、特性に多少のバラツキがあった場合でもその影響を受けにくいという利点がある。また、有機EL素子101にとって発光効率のよい電圧値の駆動電圧、或いは発光効率のよい電流値の駆動電流として設定できるため、低消費電力化を達成することができる。さらに、可変駆動電源Psでの電圧或いは電流の制御は、電界発光表示装置100が得ようとする階調数に比較して非常に少ない数の種類(階調数が256に対して8)の値に電圧或いは電流制御するだけでよいと、制御性を高めることができる。

【0026】以上、本実施形態について説明したが、本発明はこれに限定されるものではなく、構成の要旨に付随する各種の設計変更が可能である。例えば、上記した実施形態においては、サブフレーム期間におけるアドレス期間内でアドレス選択状態を保持するために、選択トランジスタ Q_1 と駆動トランジスタ Q_2 とを備えた構成としたが、図7の1画素等価回路で示すような構成としてもアドレス選択状態を保持することができる。同図において Q_3 は選択トランジスタ Q_4 は駆動トランジスタ、 C_{p2} は容量を示している。なお、この駆動トランジスタ Q_4 は別途容量 C_{p2} が接続されているため、EEPROM機能を有しないTFTを用いることができる。駆動トランジスタ Q_4 のソース・ドレインの一方が有機EL素子101の各カソード電極に接続され、他方がスイッチ S_2 を介して負電位 $V_{dd'}$ 或いは負の電流 $I_{dd'}$ を供給する直流電源 $P_{s'}$ に接続されている。有機EL素子101は、発光表示領域全域に互って形成されたアノード電極が接地され構造であり、駆動トランジスタ Q_4 が選択され、スイッチ S_2 がオンすると発光する。また、上記した実施形態においては、電界発光素子として直流電界で発光できる有機EL素子101に特に有効であるが、無機EL素子やその他の電界発光素子を適用することも勿論可能である。本実施形態では、有機EL素子の発光層は電荷輸送性の異なる2層以上の有機層から構成されてもよく、アノード電極116上に酸素および水の侵入を防止する封止層を設けてもよい。また、基板102側からアノード電極116、有機EL層115、カソード電極114の順に積層した構造としてもよい。

【0027】なお、本実施形態では、1フレーム期間中の全アドレス期間 T_{add} の時間の長さとは総発光設定期間 T_{on} の時間の長さを等しくしたが、選択トランジスタ Q_1 、 Q_3 、駆動トランジスタ Q_2 、 Q_4 の特性に応じて、アドレス期間 T_{add} 、発光設定期間 T_{on} の一方を長くしたり、他方を短くしたりしてもよい。また、各駆動電圧 V_{dd} 駆動電流 I_{dd} は小さい順(T_{on1} 、 T_{on2} 、…、 T_{on8})に印加されるがこれに限らず、大きい順(T_{on8} 、 T_{on7} 、…、 T_{on1})でもよく、或いは T_{on8} 、 T_{on1} 、 T_{on5} 、 T_{on4} 、 T_{on7} 、 T_{on2} 、 T_{on6} 、 T_{on3} の順のように電圧値或いは電流値の大きさの順番通りでなくてもよい。また、可変駆動電源 P_s が供給する駆動電圧 $V_{d1} \sim V_{d n}$ は、交流でもよい。さらに、階調数は256階調に限らず、複数の階調であれば256階調より多くても少なくてもよい。

【0028】本実施形態では、選択トランジスタ Q_1 と駆動トランジスタ Q_2 とからなるスイッチ S_1 がGND線111に接続され、発光設定期間 T にオンするスイッチ S_2 が可変駆動電源 P_s に接続されているが、図8に示すように、有機EL素子101のアノード電極側のスイ

ッチ S_2 が可変駆動電源 P_s を介さずに直接接地した構成とし、有機EL素子101のカソード電極側のスイッチ S_1 の駆動トランジスタ Q_2 をGND線111の代わりに負極性の駆動電圧 $V_{dd'}$ 或いは駆動電流 $I_{dd'}$ を供給する可変駆動電源 $P_{s'}$ に接続させてもよい。この場合であっても、走査ラインX、信号ラインYに、それぞれ2値信号のいずれかを出力し、有機EL素子101のアノード電極に接続されたスイッチ S_2 を2値信号でオン、オフ制御することができる。すなわち、アドレス期間 T_{add} には、選択された有機EL素子101のカソード電極側に駆動電圧 $V_{dd'}$ 或いは駆動電流 $I_{dd'}$ が供給され、発光設定期間 T_{on} に全スイッチ S_2 がオンされ、有機EL素子101のアノード電極が接地され発光する。

【0029】さらに、本実施形態では、有機EL素子101をスイッチ S_1 の上方に形成したが、スイッチ S_1 と同一平面上に形成してもよい。なお、この場合は、基板102側からアノード電極116、有機EL層115、カソード電極114の順に積層して形成すれば、仕事関数の低く酸化されやすい材料からなるカソード電極114をアノード電極116、有機EL層115の形成工程により劣化させることがない。

【0030】

【発明の効果】以上の説明から明らかなように、この発明によれば、電界発光表示装置を制御性よく階調表示できる共に、低消費電力動作を可能にするという効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施形態に係る電界発光表示装置の駆動回路図。

【図2】本実施形態における電界発光表示装置の1画素部分の等価回路図。

【図3】本実施形態における電界発光表示装置の平面図。

【図4】図3のA-A断面図。

【図5】(a)、(b)は本実施形態の駆動方法を示す説明図であり、(c)は電界発光表示装置の印加電圧－輝度特性を示す図。

【図6】1フレーム期間を3サブフレームに分割した場合の階調表示原理を説明する説明図。

【図7】本発明を適用し得る電界発光表示装置の1画素部分を示す等価回路図。

【図8】本発明の他の実施形態に係る電界発光表示装置の駆動回路図。

【図9】従来の電界発光表示装置の1画素部分を示す等価回路図。

【図10】従来の電界発光表示装置における駆動TFTの、ゲート電圧(V_g)とチャネル抵抗との関係を示すグラフ。

【図11】従来の電界発光表示装置の1画素における有

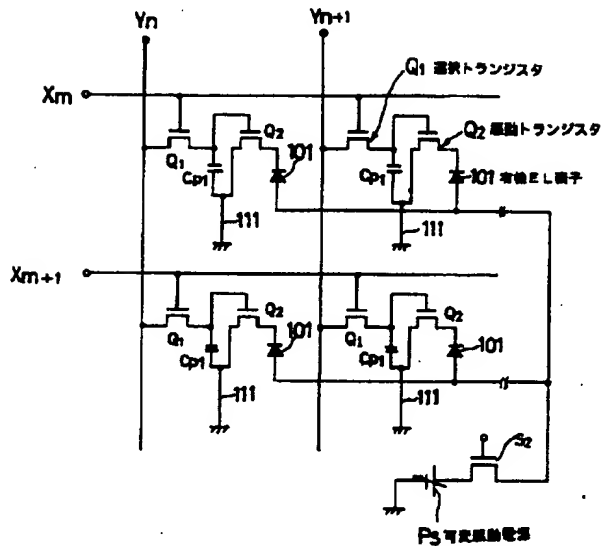
機EL素子1と電圧制御手段Vcと全面素共通EL電源4との関係を示す等価回路図。

【符号の説明】

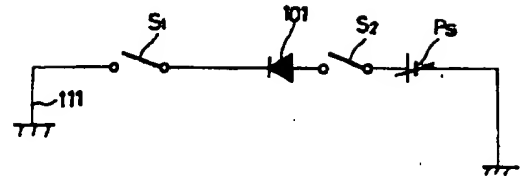
100 電界発光表示装置
101 有機EL素子
103 走査ライン

109A 信号ライン
Q₁ 選択トランジスタ
Q₂ 駆動トランジスタ
S₂ スイッチ
Ps 可変駆動電源

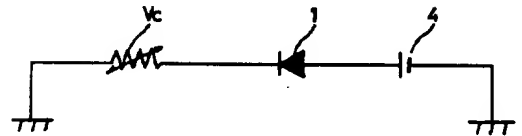
【図1】



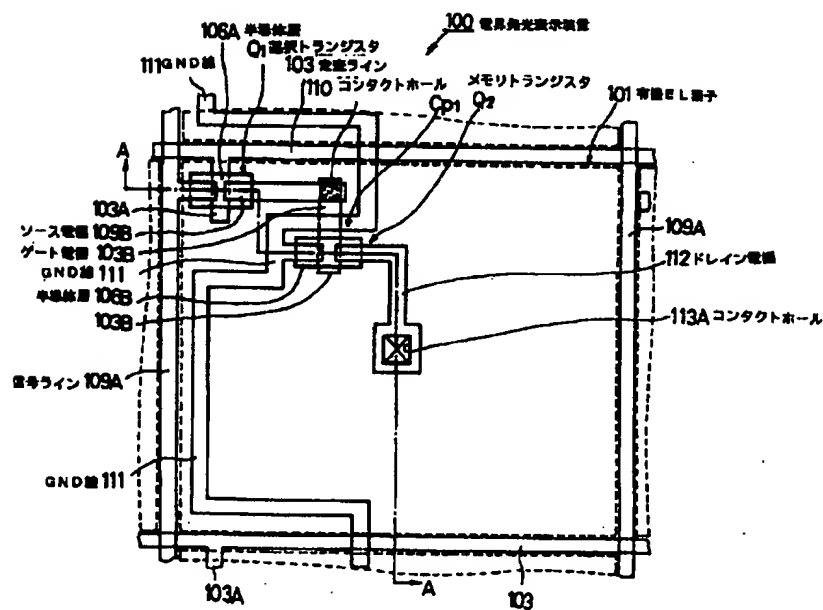
【図2】



【図11】



【図3】

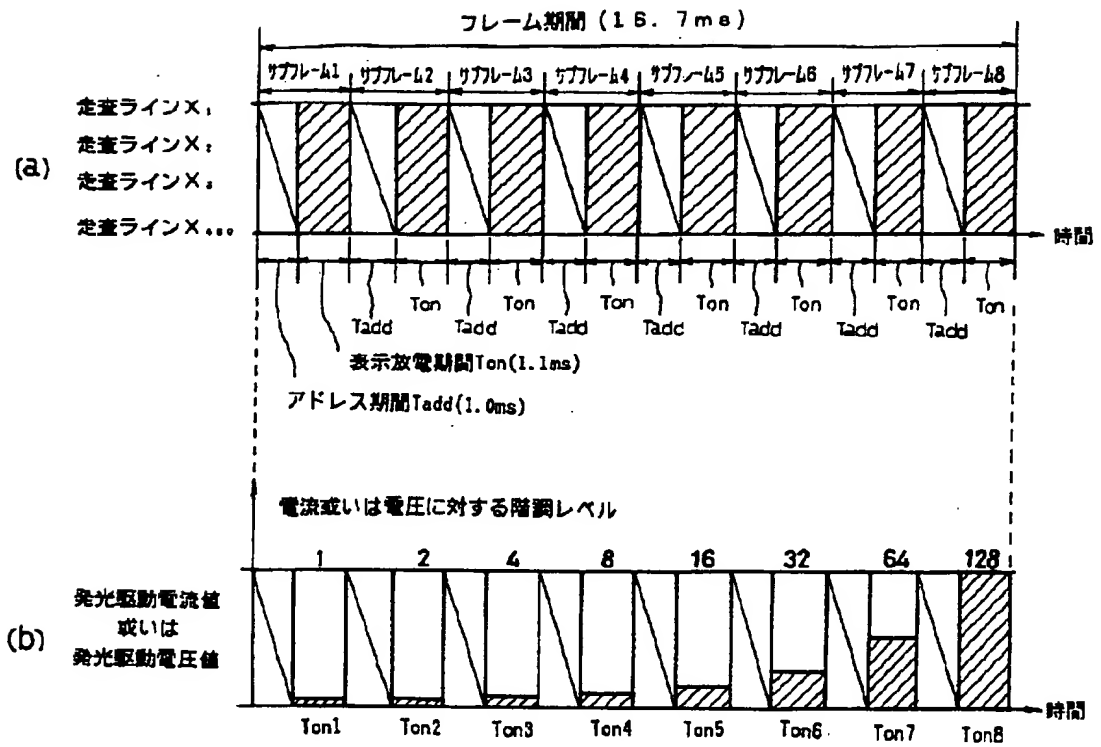


サブフレーム1での暗画レベル
サブフレーム2での暗画レベル
サブフレーム3での暗画レベル
1フレームでの暗画レベルの合計

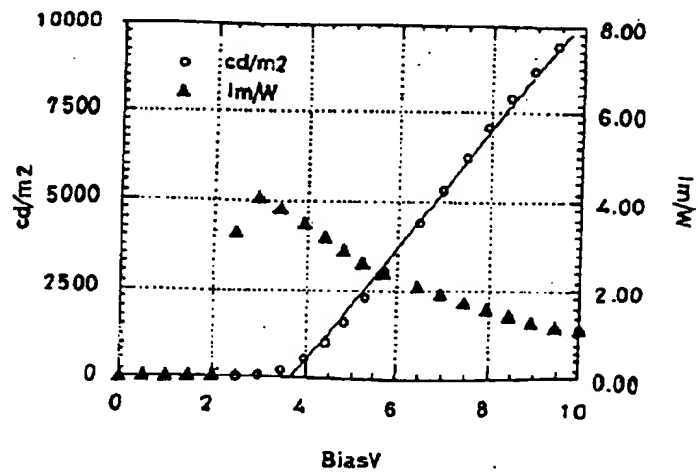
	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅
X ₁	11 $\begin{smallmatrix} 1 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{smallmatrix}$	12 $\begin{smallmatrix} 1 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{smallmatrix}$	13 $\begin{smallmatrix} 1 & 2 & 4 \\ 2 & 4 & 7 \\ 4 & 7 & 7 \end{smallmatrix}$	14 $\begin{smallmatrix} 1 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{smallmatrix}$	15 $\begin{smallmatrix} 1 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{smallmatrix}$
X ₂	21 $\begin{smallmatrix} 1 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{smallmatrix}$	22 $\begin{smallmatrix} 1 & 2 & 4 \\ 2 & 4 & 7 \\ 4 & 7 & 7 \end{smallmatrix}$	23 $\begin{smallmatrix} 1 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{smallmatrix}$	24 $\begin{smallmatrix} 1 & 2 & 4 \\ 2 & 4 & 7 \\ 4 & 7 & 7 \end{smallmatrix}$	25 $\begin{smallmatrix} 1 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{smallmatrix}$
X ₃	31 $\begin{smallmatrix} 1 & 2 & 4 \\ 2 & 4 & 7 \\ 4 & 7 & 7 \end{smallmatrix}$	32 $\begin{smallmatrix} 1 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{smallmatrix}$	33 $\begin{smallmatrix} 1 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{smallmatrix}$	34 $\begin{smallmatrix} 1 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{smallmatrix}$	35 $\begin{smallmatrix} 1 & 2 & 4 \\ 2 & 4 & 7 \\ 4 & 7 & 7 \end{smallmatrix}$
X ₄	41 $\begin{smallmatrix} 1 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{smallmatrix}$	42 $\begin{smallmatrix} 1 & 2 & 4 \\ 2 & 4 & 7 \\ 4 & 7 & 7 \end{smallmatrix}$	43 $\begin{smallmatrix} 1 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{smallmatrix}$	44 $\begin{smallmatrix} 1 & 2 & 4 \\ 2 & 4 & 7 \\ 4 & 7 & 7 \end{smallmatrix}$	45 $\begin{smallmatrix} 1 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{smallmatrix}$
X ₅	51 $\begin{smallmatrix} 1 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{smallmatrix}$	52 $\begin{smallmatrix} 1 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{smallmatrix}$	53 $\begin{smallmatrix} 1 & 2 & 4 \\ 2 & 4 & 7 \\ 4 & 7 & 7 \end{smallmatrix}$	54 $\begin{smallmatrix} 1 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{smallmatrix}$	55 $\begin{smallmatrix} 1 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{smallmatrix}$

[illegible]

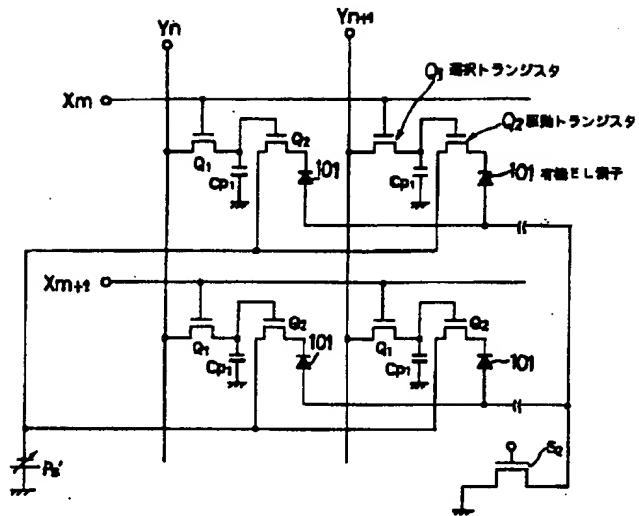
【図5】



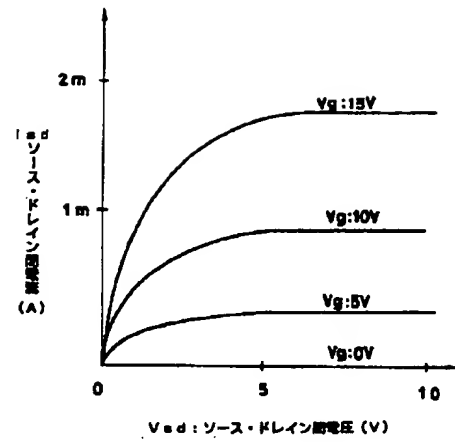
(c)



【図8】



【図10】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.